

⑫ 公開特許公報(A)

昭61-267812

⑤Int.Cl.⁴

識別記号

庁内整理番号

④公開 昭和61年(1986)11月27日

G 06 F 1/04

7157-5B

審査請求 未請求 発明の数 1 (全3頁)

⑭発明の名称 タイミング信号発生装置

⑰特 願 昭60-110819

⑱出 願 昭60(1985)5月23日

⑲発 明 者 藤 本 知 則 門真市大字門真1006番地 松下電器産業株式会社内
⑳出 願 人 松下電器産業株式会社 門真市大字門真1006番地
㉑代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

タイミング信号発生装置

2、特許請求の範囲

ハイレベルデータ及びローレベルデータの配列からなるタイミング系列を記憶する n 個($n \geq 1$)のリードサイクルタイムが不均一なROMと、周波数の異なる 2^m 本($m \geq 1$)のクロック信号を送出するクロック信号発生器と、前記 2^m 本のクロック信号を入力信号として1本のクロック信号を出力するマルチプレクサと、前記 n 個のROMのうちから1個のROMを選択し、前記マルチプレクサの 2^m 本のクロック信号のうちから1本のクロック信号を選択するための選択信号を出力する選択回路と、前記マルチプレクサの出力であるクロック信号をカウントすると共に、このカウント出力によって前記 n 個のROMのアドレスを選択するカウンタとを備えたことを特徴とするタイミング信号発生装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、複数のROM内に記憶されたタイミング系列を用いてタイミング信号を発生させるタイミング信号を発生させるタイミング信号発生装置に関するものである。

従来の技術

従来のタイミング信号発生装置としては、例えば特開昭59-231624号公報に示されている。第2図はこの従来のタイミング信号発生回路の構成図を示すものであり、1は、一定周波数のクロック信号を送出するクロック信号発生器である。2は、2進カウンタである。3は、リードオンリメモリであるROMである。4は、前記クロック信号発生器1のクロック信号にて制御されるラッチ回路である。以下にその動作について説明する。クロック信号発生器1から2進カウンタ2へクロックを入力すると、2進カウンタ2は、このクロック信号を順次カウントし、このカウント値を順次ROM3へ入力する。そしてROM3は、前記カウント値が示すアドレスに対応するハイレ

ベル又は、ロウレベルのデータを順次読み出し、出力端子O1からタイミング信号として出力される。そして、前記カウント値がタイミング系列の最終アドレスと一致すると、ROM3の出力端子O0から2進カウンタ2のリセット端子Rへリセット信号が印加され、再度、2進カウンタ2は、O0からカウントを始める。従って、ROM3は出力端子O1より連続したタイミング信号を出力する。そして、ラッチ回路4は、前記出力端子O1の出力であるタイミング信号をクロック信号に同期させて出力端子Qより出力するようにしている。

発明が解決しようとする問題点

しかしながら上記のような構成では、クロック信号発生器1は、一定の周波数のクロック信号しか発生しないために、ラッチ回路4は、一定の周期でしか信号のレベルが変化しないタイミング信号しか出力することができないという問題点を有していた。本発明は、かかる点に鑑み、信号のレベルが変化する周期が可変であるタイミング信号を生成することができるタイミング信号発生装置

サイクルを可変にすることができ、信号のレベルが変化する周期が可変であるタイミング信号を生成する。

実施例

第1図は、本発明の実施例におけるタイミング信号発生装置の構成図を示したものである。第1図において、2は2進カウンタ、4はラッチ回路、5は 2^m 本($m \geq 1$)の異なる周波数のクロックを発生するクロック発生器、6はマルチプレクサ、7はリードサイクルが不均一な n 個($n \geq 1$)のROM、8は図示していないが、コンピュータのCPUにデータラインを介して接続された選択回路としてのインターフェース回路である。以上のように構成された本実施例のタイミング信号発生装置について、以下その動作を説明する。図示していないがCPUより、あるタイミング信号を発生させるために、 n 個のROM7のうちどのROMを選択し、クロック発生器5から発生される 2^m 本のクロックのうちどのクロックを選択し、2進カウンタ2をリセットするかどうかという情

を提供することを目的とする。

問題点を解決するための手段

本発明は、 n 個($n \geq 1$)のリードサイクルが不均一なROMと周波数の異なる 2^m 本($m \geq 1$)のクロック信号を送出するクロック信号発生器と、前記 2^m 本のクロック信号の中から1本のクロック信号を出力するマルチプレクサと、前記 n 個のROMのうちから1個のROMを選択し、前記マルチプレクサの 2^m 本のクロック信号のうちから1本のクロック信号を選択するための選択信号を出力する選択回路と、前記マルチプレクサの出力であるクロック信号をカウントすると共に、このカウント出力によって前記 n 個のROMのアドレスを選択するカウンタを備えたタイミング信号発生装置である。

作 用

本発明は、前記した構成により、カウンタのカウントするクロック信号の周波数を変えて、選択回路が周波数に応じてROMを選択して、ROMのアドレスを選択することによりROMのリード

報がデータラインにより、インターフェース回路8に送られると、インターフェース回路8は、ROM7のROM1からROM n までの n 個のROMを選択するために、 n 本のチップセレクト信号であるCS1~CS n の1本の信号をアクティブハイにする。同時に、クロック発生器5より発生される 2^m 本のクロックのうち1本のクロックをマルチプレクサ6が選択するための m 本の選択信号をインターフェース回路8は出力する。そして、マルチプレクサは、選択された1本のクロック信号を2進カウンタ2へカウントクロックとして出力する。2進カウンタ2は、マルチプレクサより入力されたクロック信号を順次カウントし、このカウント値を順次 n 個のROM7へ入力する。そして、 n 個のROM7のうちインターフェース回路8の出力であるチップセレクト信号により選択されたROMは、前記カウント値が示すアドレスに対応するハイレベル又は、ロウレベルのデータを順次読み出し、出力端子O1からタイミング信号として出力される。そして、前記カウント値

が、タイミング系列の最終アドレスと一致すると、ROM 7 のうち選択された ROM の出力端子 O から 2 進カウンタ 2 のリセット端子 R へリセット信号が印加され、再度 2 進カウンタ 2 は、0 からカウントを始める。また、インターフェース回路 8 より出力されるリセット信号がアクティブハイになると 2 進カウンタ 2 は、強制的にリセットされて、0 からカウントを始める。そしてラッチ回路 4 は、前記出力端子 O₁ の出力であるタイミング信号を、マルチプレクサ 6 で選択されたクロック信号に同期させて出力端子 Q より出力する。

以上のように、本実施例によれば、2 進カウンタ 2 及びラッチ回路 4 に入力されるクロックの周波数をインターフェース回路 8 より出力される選択信号により可変にすることができ、クロックの周波数に対応するリードサイクルの ROM を選択することにより、信号のレベルが変化する周期が可変であるタイミング信号を生成することができる。なお、実施例において、ROM 7 のアドレスを生成するカウンタとして 2 進カウンタ 2 を用い

たが、アドレッシングの仕方を変えるために他の種類のカウンタを用いてもよい。

発明の効果

以上説明したように、本発明によれば、信号のレベルが変化する周期が可変であるタイミング信号を生成することができ、その実用的効果は大きい。

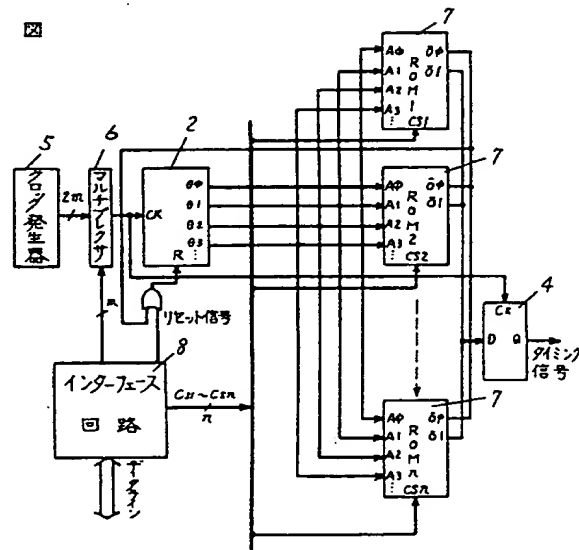
4、図面の簡単な説明

第 1 図は本発明の実施例における ROM を使ってタイミング信号を発生させるタイミング信号発生装置の構成図、第 2 図は従来より知られる ROM を使ってタイミング信号を発生させるタイミング信号発生装置の構成図である。

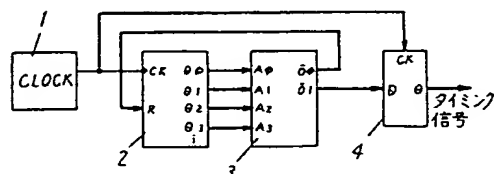
2 …… 2 進カウンタ、4 …… ラッチ回路、5 …… クロック発生器、6 …… マルチプレクサ、7 …… n 個の ROM、8 …… インターフェース回路。

代理人の氏名 弁理士 中 尾 敏 男 ほか 1 名

第 1 図



第 2 図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-267812

(43)Date of publication of application : 27.11.1986

(51)Int.Cl.

G06F 1/04

(21)Application number : 60-110819

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 23.05.1985

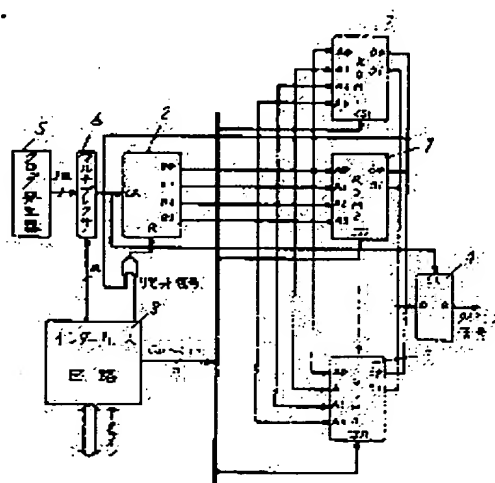
(72)Inventor : FUJIMOTO TOMONORI

(54) TIMING SIGNAL GENERATOR

(57)Abstract:

PURPOSE: To vary the reading cycle of a ROM by securing such a system where the frequency of the clock signal of a counter is varied and a selection circuit selects the ROM in response to the varied frequency of the clock signal to select the address of the ROM.

CONSTITUTION: A timing signal generator consists of a binary counter 2, a latch circuit 4, a clock generator 5, a multiplexer 6, (n) pieces of ROM 7 and an interface circuit 8 serving as a selection circuit. Then the information which indicates a specific ROM 7 and a specific clock and decides whether the counter 2 is reset or not is sent to the circuit 8 from a CPU for production of a certain timing signal. Thus the frequencies of the clocks supplied to the counter 2 and the circuit 4 are varied by the output (selection signal) of the circuit 8. Then the ROM 7 having its reading cycle corresponding to said varied frequency is selected to produce a timing signal having a variable cycle with which the signal level is changed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office